

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2001217320 A

(43) Date of publication of application: 10.08.01

(51) Int. Cl

H01L 21/8234
H01L 27/088
H01L 21/768
H01L 21/8244
H01L 27/11
H01L 29/78

(21) Application number: 2001004264

(71) Applicant: SAMSUNG ELECTRONICS CO LTD

(22) Date of filing: 11.01.01

(72) Inventor: KIM KYOUCHUL

(30) Priority: 31.01.00 KR 2000 200004677

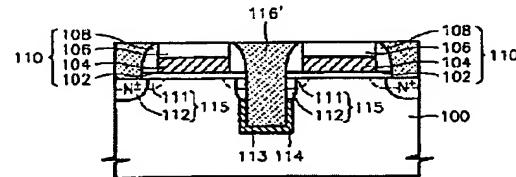
(54) SELF ALIGNED MOS TRANSISTOR HAVING WELL BIAS REGION AND MANUFACTURING METHOD THEREFOR

COPYRIGHT: (C)2001,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a self aligned MOS transistor having a well bias region and its manufacturing method which complies with a highly integrated semiconductor element and can effectively impress a well bias without generating latch-up.

SOLUTION: This transistor has the feature of being provided with a semiconductor substrate on which a first conductivity type well is formed, a gate oxide film, a gate electrode and a capping layer laminated in order on the semiconductor substrate, a gate pattern where a gate spacer is formed on the side walls of the capping layer and the gate electrode, a source/drain region doped with a second conductivity type impurity, a trench which is formed by the semiconductor substrate by self alignment by utilizing the gate spacer between gate patterns, a well bias region formed on the lower side wall and the bottom of the trench and a contact part which fulfills the trench which is etched by self alignment.



(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2001-217320

(P2001-217320A)

(43)公開日 平成13年8月10日(2001.8.10)

(51)Int.Cl.	識別記号	F I	マークコード	(参考)
H01L 21/8234		H01L 27/08	102	D
27/088		21/90		D
21/768		27/08	102	B
21/8244			102	H
27/11		27/10	381	

審査請求 未請求 請求項の数15 O L (全7頁) 最終頁に続く

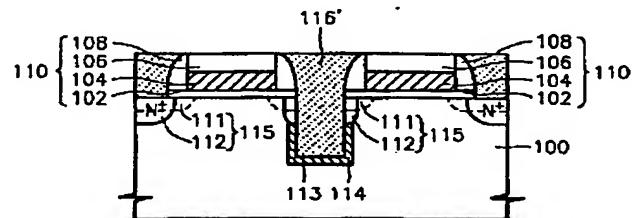
(21)出願番号	特願2001-4264(P2001-4264)	(71)出願人	390019839 三星電子株式会社 大韓民国京畿道水原市八達区梅灘洞416
(22)出願日	平成13年1月11日(2001.1.11)	(72)発明者	金 奎哲 大韓民国京畿道城南市盆唐区九美洞(番地 なし)ムジグマウルL Gアパート209棟703 号
(31)優先権主張番号	20004677	(74)代理人	100064908 弁理士 志賀 正武 (外1名)
(32)優先日	平成12年1月31日(2000.1.31)		
(33)優先権主張国	韓国(KR)		

(54)【発明の名称】自己整列されたウェルバイアス領域を有するモストランジスタ及びその製造方法

(57)【要約】

【課題】 高集積化された半導体素子に適合し、ラッチアップが発生しない効果的にウェルバイアスを印加できる自己整列されたウェルバイアス領域を有するモストランジスタ及びその製造方法を提供する。

【解決手段】 第1導電型のウェルが形成された半導体基板と、半導体基板上にゲート酸化膜、ゲート電極及びキャッピング層が順次的に積層され、キャッピング層とゲート電極の側面にゲートスペーサが形成されたゲートパターンと、第2導電型の不純物がドーピングされたソース／ドレイン領域と、ゲートパターン間でゲートスペーサを利用して自己整列方式で半導体基板をエッチングして形成したトレンチと、トレンチの下部側面及び底面に形成されたウェルバイアス領域と、自己整列方式でエッチングされたトレンチを充填するコンタクト部とを具備することを特徴とする。



【特許請求の範囲】

【請求項1】 第1導電型のウェルが形成された半導体基板と、

前記半導体基板上にゲート酸化膜、ゲート電極及びキャッピング層が順次的に積層され、前記キャッピング層とゲート電極の側面にゲートスペーサが形成された少なくとも2つ以上のゲートパターンと、

前記ゲートパターンの側面に隣接した半導体基板の表面上に形成され、第2導電型の不純物がドーピングされたソース／ドレイン領域と、

前記二つ以上のゲートパターン間でゲートスペーサを利用して自己整列方式で半導体基板をエッチングして形成したトレンチと、

前記トレンチの下部側面及び底面に形成されたウェルバイアス領域と、

前記自己整列方式でエッチングされたトレンチを充填するコンタクト部とを具備することを特徴とする自己整列されたウェルバイアス領域を有するモストランジスタ。

【請求項2】 前記ゲートパターンのキャッピング層は酸化膜または酸化膜を含む複合膜であることを特徴とする請求項1に記載の自己整列されたウェルバイアス領域を有するモストランジスタ。

【請求項3】 前記第2導電型の不純物がドーピングされたソース／ドレイン領域にはLDD領域と、高濃度不純物の領域からなることを特徴とする請求項1に記載の自己整列されたウェルバイアス領域を有するモストランジスタ。

【請求項4】 前記トレンチの深さは前記ソース／ドレイン領域を貫通して前記半導体基板の第1導電型ウェルと連結する深さであることを特徴とする請求項1に記載の自己整列されたウェルバイアス領域を有するモストランジスタ。

【請求項5】 前記トレンチの側面及び底面に形成されたウェルバイアス領域は第1導電型の不純物が $1E18 \sim 1E20 \text{ ions/cm}^3$ の濃度でドーピングされることを特徴とする請求項1に記載の自己整列されたウェルバイアス領域を有するモストランジスタ。

【請求項6】 前記コンタクト部は前記ソース／ドレイン領域とトレンチの上部側面で互いに連結することを特徴とする請求項1に記載の自己整列されたウェルバイアス領域を有するモストランジスタ。 40

【請求項7】 前記トレンチを充填するコンタクト部はタンクステン(W)からなったことを特徴とする請求項1に記載の自己整列されたウェルバイアス領域を有するモストランジスタ。

【請求項8】 第1導電型ウェルが形成された半導体基板にゲート酸化膜、ゲート電極、キャッピング層を順次に積層する工程と、

前記キャッピング層及びゲート電極をバーニングする工程と、

前記バーニングが完了したゲート電極をイオン注入マスクとして、前記半導体基板に第2導電型の低濃度不純物をイオン注入してLDD領域を形成する工程と、前記LDD領域が形成された半導体基板の全面にスペーサ用絶縁膜を蒸着して異方性エッチングを進行してゲートスペーサを形成する工程と、

前記ゲートスペーサが形成されたゲートパターンをイオン注入マスクとして、半導体基板に第2導電型の不純物を注入して高濃度不純物の領域を形成する工程と、

10 前記結果物にフォトレジストパターンを形成して前記ゲートパターン間の高濃度不純物の領域を露出させる工程と、

前記キャッピング層及びゲートスペーサを利用して半導体基板を自己整列方式でエッチングしてトレンチを形成する工程と、

前記トレンチの下部側面及び底面に第1導電型の不純物でイオン注入をしてウェルバイアス領域を形成する工程と、

前記フォトレジストパターンを除去して前記トレンチを導電物質で埋め込みコンタクト部を形成する工程とを具備することを特徴とする自己整列されたウェルバイアス領域を有するモストランジスタの製造方法。

【請求項9】 前記キャッピング層は酸化膜または酸化膜の複合膜であり、 $2000 \sim 4000 \text{ \AA}$ の厚さに形成することを特徴とする請求項8に記載の自己整列されたウェルバイアス領域を有するモストランジスタの製造方法。

【請求項10】 前記高濃度不純物の領域を形成した後、前記半導体基板の全面に前記ゲートパターンを覆う

30 層間絶縁膜を形成する工程をさらに具備することを特徴とする請求項8に記載の自己整列されたウェルバイアス領域を有するモストランジスタの製造方法。

【請求項11】 前記トレンチの深さは前記高濃度不純物の領域を貫通して前記第1導電型ウェルと連結する深さであることを特徴とする請求項8に記載の自己整列されたウェルバイアス領域を有するモストランジスタの製造方法。

【請求項12】 前記トレンチは半導体基板から $0.2 \sim 0.8 \mu\text{m}$ の深さで形成されることを特徴とする請求項8に記載の自己整列されたウェルバイアス領域を有するモストランジスタの製造方法。

【請求項13】 前記トレンチを埋め込む導電物質はタンクステンであることを特徴とする請求項8に記載の自己整列されたウェルバイアス領域を有するモストランジスタの製造方法。

【請求項14】 前記コンタクト部を形成する工程は、前記フォトレジストパターンが除去された半導体基板の全面に導電物質を蒸着して化学機械的研磨で平坦化を進行して形成することを特徴とする請求項8に記載の自己整列されたウェルバイアス領域を有するモストランジ

タの製造方法。

【請求項15】前記化学機械的研磨工程は、前記キャッピング層を研磨阻止層として使用することを特徴とする請求項14に記載の自己整列されたウェルバイアス領域を有するモストランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体素子の製造方法に係り、より一層詳細にはメモリセルに適用されるモストランジスタ及びその製造方法に関する。

【0002】

【従来の技術】半導体集積回路の基本素子のモストランジスタは、通常N型またはP型のウェル内に形成される。この場合、特別の場合を除いてはNウェルにはドレイン電圧のV_dを供給し、PウェルにはV_sを印加する。この時、同じPウェル内に多数のNモストランジスタが存在すれば、個々のNモストランジスタに対しウェルバイアスを印加するためのコンタクトを形成せずに、チップの面積縮小のために共通して一つだけ形成する。前述した共通タイプのウェルバイアスコンタクトを使用すれば、ウェルバイアスコンタクトに隣接したNモストランジスタでは問題がないが、相対的に離れているNモストランジスタでは問題が生じる。すなわち、コンタクトから離れているNモストランジスタではコンタクトから離れた長さに比例して生じる高い抵抗の問題によりラッチーアップなどの問題が生じる。前記のラッチーアップはモストランジスタにおいて外部電圧の変動、電気的雑音またはイオン放射などが原因になってモストランジスタが非正常的にターンオンされる現象であり、トランジスタの電気的特性が非正常的に変化したり、トランジスタが破壊される現象をいう。

【0003】従って、このようなラッチーアップを防止するためには多数のNモストランジスタに対し各々ウェルバイアスコンタクトを作らねばならないが、この時にはチップが大きくなるために問題点がある。従って、良い電気的特性を得る課題とチップを小さくする課題との間には反比例関係が成立し、どの一方も犠牲にできない立場である。前記電気的特性を改善することとチップを小さくすることとを相互折衷する方法として2つのトランジスタ当たり1つのウェルバイアスコンタクトを形成する方法がある。

【0004】図1は一般的なモストランジスタのウェルバイアス領域を説明するために図示した断面図である。図1を参照すれば、第1導電型のP型のウェルがある半導体基板10の上にゲート酸化膜12、ゲート電極14、キャッピング層16及びゲートスペーサ18からなったゲートパターンが二つ形成されている。前記二つのゲートパターンを中心に半導体基板10の表面には第2導電型の、N型の不純物領域、すなわちソース/ドレイン領域26が各々形成されている。図面において参照符

号20は層間絶縁膜を示し、参照符号22は前記ソース/ドレイン領域のコンタクトを各々示す。さらに、参照符号24は第1導電型の不純物が追加でイオン注入されて形成されたウェルバイアス領域を指す。

【0005】ここで参照符号22はトランジスタのV_dが印加されるコンタクトである。そして、参照符号22'はV_sを印加するためのコンタクトの役割とウェルバイアスを印加するためのコンタクトの役割とを同時に果たす。前述した一般的なモストランジスタのコンタクトにおいて、ウェルバイアスを印加するためのコンタクトは半導体基板10内で面積を縮小するのに限界がある。すなわち、集積度を向上させるためにウェルバイアスを印加するためのコンタクトの面積を縮小するようになれば、モストランジスタの電気的特性が低下する素地がある。従って、前述した一般的なモストランジスタのコンタクトはチップの面積を縮小し半導体素子の集積度を向上させる点で限界がある。

【0006】

【発明が解決しようとする課題】本発明がなそうとする技術的課題はチップの面積を縮小し高集積化を達成しつつ、同時にラッチーアップ現象を誘発せずに電気的特性を保存できる自己整列されたウェルバイアス領域を有するモストランジスタを提供するところにある。本発明がなそうとする他の技術的課題は前記自己整列されたウェルバイアス領域を有するモストランジスタの製造方法を提供するところにある。

【0007】

【課題を解決するための手段】前記技術的課題を達成するため、本発明による自己整列されたウェルバイアス領域を有するモストランジスタは、① 第1導電型のウェルが形成された半導体基板と、② 前記半導体基板上にゲート酸化膜、ゲート電極、キャッピング層を順次に積層し、前記ゲート電極とキャッピング層の側面にゲートスペーサが形成された少なくとも2つ以上のゲートパターンと、③ 前記ゲートパターンの側面に隣接した半導体基板の表面に形成されて第2導電型の不純物がドーピングされたソース/ドレイン領域と、④ 前記二つ以上のゲートパターン間で前記ゲートスペーサを利用して自己整列方式で半導体基板をエッチングして形成したトレンチと、⑤ 前記トレンチの側面及び底面に形成されたウェルバイアス領域と、⑥ 前記トレンチを充填するコンタクト部とを含んで形成される。

【0008】本発明の望ましい実施形態によれば、前記ゲートパターンのキャッピング層は酸化膜または酸化膜を含む複合膜であることが適合し、前記コンタクト部はタンクステン(W)からなったことが適している。望ましくは、前記ソース/ドレイン領域はLDD領域と高濃度不純物の領域とからなる。さらに、前記トレンチの深さは前記ソース/ドレイン領域を貫通して前記半導体基板の第1導電型ウェルと連結する深さであることが適合

し、前記コンタクト部は前記ソース／ドレイン領域とトレンチの上部側面で連結することが適している。

【0009】前記他の技術的課題を達成するために、本発明による自己整列されたウェルバイアス領域を有するモストランジスタの製造方法は次の工程を含む。まず、第1導電型のウェルが形成された半導体基板にゲート酸化膜、ゲート電極及びキャッピング層を順次に積層する。その後、前記キャッピング層及びゲート電極をパターニングしてゲート電極をイオン注入マスクとしてイオン注入を進行してLDD領域を形成し、次いでゲートスペーサを形成する。次いで前記ゲートスペーサが形成されたゲートパターンをイオン注入マスクとして半導体基板に第2導電型の不純物をイオン注入して高濃度不純物の領域を形成する。前記結果物にフォトレジストパターンを形成して前記二つのゲートパターン間を露出させる。引続き、前記フォトレジストパターンを利用して半導体基板を自己整列方式でエッチングし、前記高濃度不純物の領域を貫通しつつ前記第1導電型ウェルと連結するトレンチを形成する。前記トレンチの側面及び底面に第1導電型の不純物をイオン注入してウェルバイアス領域を形成する。最後に前記フォトレジストパターンを除去し、導電物質でトレンチを埋め込みコンタクト部を形成する。

【0010】本発明の望ましい実施形態によれば、前記キャッピング層は酸化膜または酸化膜を含む複合膜を使用して2000～4000Åの厚さに形成することが適合し、前記コンタクト部はタンクステンから形成することが適している。前記高濃度不純物の領域を形成した後、前記半導体基板の全面に前記ゲートパターンを覆う層間絶縁膜を形成する工程をさらに具備することが望ましい。

【0011】望ましくは、前記トレンチは半導体基板表面から0.2～0.8μmの深さで形成することが適合し、前記ウェルバイアス領域を形成するためのイオン注入工程においてイオン注入量は1E13～1E15ions/cm²の範囲であることが適している。

【0012】さらに、前記コンタクト部を形成する工程は、半導体基板に導電物質を十分に積層して化学機械的研磨(CMP:Chemical Mechanical Polishing)を行って形成する。この時、前記CMP工程において前記キャッピング層を研磨阻止層として使用することが適している。

【0013】本発明によれば、コンタクト部が半導体基板にトレンチを形成して形成されるためにモストランジスタの電気的特性が悪化せずにチップの面積を縮小させて高集積化を達成できる。

【0014】

【発明の実施の形態】以下、添付された図面を参照して本発明の望ましい実施形態を詳細に説明する。

【0015】自己整列されたウェルバイアス領域を有す

るモストランジスタ図2は本発明によるモストランジスタのウェルバイアス領域を説明するために図示した断面図である。

【0016】図2を参照すれば、本発明による自己整列されたウェルバイアス領域を有するモストランジスタは、①第1導電型のウェルが形成された半導体基板100と、②前記半導体基板100の上にゲート酸化膜102、ゲート電極104、キャッピング層106を順次に積層し、前記ゲート電極104とキャッピング層106の側面にゲートスペーサ108が形成された2つ以上のゲートパターン110と、③前記ゲートパターン110の下部のチャンネル領域を挟んで前記ゲートパターン110の側面に形成されて第2導電型の不純物がドーピングされたソース／ドレイン領域115と、④前記二つ以上のゲートパターン110の間に前記ゲートスペーサ108を利用して自己整列方式で半導体基板100をエッチングして形成したトレンチ113と、前記トレンチ113の側面及び底面に形成されたウェルバイアス領域114と、前記自己整列方式でエッチングされたトレンチ113を充填するコンタクト部116'からなる。

【0017】ここで、前記ソース／ドレイン領域115はLDD領域111と高濃度不純物の領域112から構成される。この時、前記キャッピング層106は酸化膜または酸化膜を含む複合膜を使用して形成でき、コンタクト部116'は導電物質、たとえばタンクステンを使用して形成できる。さらに、前記ウェルバイアス領域114の第1導電型の不純物濃度は1E18～1E20ions/cm³の範囲で形成する。

【0018】ここで、二つのゲートパターン110の間に自己整列方式でトレンチ113を作りて形成されたコンタクト部116'はソース／ドレイン領域112とトレンチ113の上部側面で互いに連結しつつ、ウェルバイアス領域114とは側面と底面の2カ所で連結する。

【0019】従って、狭い面積内でウェルバイアスが印加される面積をより一層広くできる。従って、ウェルバイアス領域の面積が縮小してもラッチーアップのような問題が生ぜずチップを縮小させられる。

【0020】自己整列されたウェルバイアス領域を有するモストランジスタの製造方法図3ないし図8は本発明による自己整列されたウェルバイアス領域を有するモストランジスタの製造方法を説明するために図示した断面図である。図3を参照すれば、第1導電型、たとえばP型ウェルが形成された半導体基板100にゲート酸化膜102とポリシリコンとからなったゲート電極104及び酸化膜または酸化膜の複合膜からなったキャッピング層106を順次に積層する。この時、前記ゲート電極104及びキャッピング層106は各々2000～4000Åの厚さに積層することが望ましい。

【0021】図4を参照すれば、前記キャッピング層1

06の上にフォトレジスト膜(図示せず)を塗布し、写真及びエッティング工程を進行して下部のキャッピング層106及びポリシリコンからなったゲート電極104をバーニングする。その後、バーニングされたキャッピング層106及びゲート電極104をイオン注入マスクとして使用して第2導電型、たとえばN型不純物を5E13~1E15ions/cm³の範囲でイオン注入する。前記イオン注入された半導体基板100を熱処理して半導体基板100の表面にLDD領域111を形成する。

【0022】図5を参照すれば、前記LDD領域111が形成された半導体基板100全面にゲートスペーサ用絶縁膜、たとえば窒化膜を1000~3000Åの厚さに塗布する。その後、異方性乾式エッティングを進行して前記キャッピング層106及びゲート電極104の側面にゲートスペーサ108を形成する。前記ゲートスペーサ108が形成されたゲートパターン110をイオン注入マスクとして第2導電型の不純物を3E15ions/cm³以上高濃度でイオン注入する。前記イオン注入された半導体基板100に熱処理を行い、高濃度不純物の領域112を形成することによりLDD領域111と高濃度不純物の領域112からなったソース/ドレイン領域115を形成する。

【0023】図6を参照すれば、前記ソース/ドレイン領域115が形成された半導体基板100においてゲート酸化膜102をエッティングし、フォトレジストパターン117を形成する。前記フォトレジストパターン117は前記二つのゲートパターン110の間を露出させるように形成する。その後、前記フォトレジストパターン117を利用して前記半導体基板100の一部を自己整列方式でエッティングしてトレンチ113を形成する。このようなトレンチ113の深さは前記ソース/ドレイン領域115を貫通して半導体基板100に形成された第1導電型のウェルと接触するように形成する。従って、モストランジスタが入る半導体素子の種類によりトレンチの深さは異なりうるが、SRAMの場合には半導体基板の表面から約0.2~0.8μmの深さにトレンチを形成することが望ましい。

【0024】一方、トレンチ113を形成する他の実施形態において、前記ソース/ドレイン領域115を形成してフォトレジストパターン117を形成する前に半導体基板の全面に層間絶縁膜(図示せず)を追加して形成できる。従ってトレンチをエッティングする過程で発生可能なゲート電極104に対する損傷を防止できる。前記層間絶縁膜はキャッピング層106のような酸化膜または窒化膜を含む単一膜または複合膜を使用して形成することが適している。

【0025】この時、前記フォトレジストパターン117の形成は厳格な正確度を要求しない。なぜならフォトレジストパターン117が前記キャッピング層106及

びゲートスペーサ108だけ露出させれば、後続工程において自己整列方式でエッティングを行うために、若干のミスアラインが生じても問題にならないためである。

【0026】前記フォトレジストパターン117が形成されている状態で、第1導電型の不純物を約1E13~1E15ions/cm³の量でイオン注入させてウェルバイアス領域114を形成する。その後、熱処理を行ってイオン注入された不純物を安定化させる。前記熱処理を完了した時、前記ウェルバイアス領域114の第1不純物濃度が1E18~1E20ions/cm³の範囲の高濃度を維持することが望ましい。

【0027】図7を参照すれば、前記ウェルバイアス領域114の形成が終わった半導体基板100から前記フォトレジストパターン117を除去する。次いで、前記トレンチ113を充填しつつ半導体基板100の全面を十分に包む導電物質、たとえばタンクステン(W)層を蒸着する。

【0028】図8を参照すれば、前記タンクステン層116が積層された半導体基板に対しCMP工程を行い、半導体基板100の全面を平坦化させソース/ドレインコントラクト部116及びコントラクト部116'を形成する。この時、前記ゲートパターン110のキャッピング層106はCMP工程において研磨阻止層として作用するようになる。従って二つのゲートパターン110の間には本発明によるウェルバイアスを印加できるコントラクト部116'が形成され、両側にはソース/ドレインコントラクト部116が各々タンクステンから形成される。

【0029】
【発明の効果】本発明によれば、第一に、ウェルバイアスコントラクト領域を形成する工程において、自己整列方式で形成するためにミスアライン発生を防止する。第二に、同じ面積内でトレンチを利用してウェルバイアスを印加するためにラッチーアップの発生なし効果的にウェル領域にバイアスを印加できる。第三に、ウェルバイアスコントラクト部を形成するためのトレンチの深さを調整してウェル領域との接触面積を広げるために半導体素子の高集積化を達成するのに有利である。本発明は前記の実施形態に限定されないし、本発明の技術的思想内で当分野の通常の知識を持った者により多くの変形が可能であることが明白である。

【図面の簡単な説明】

【図1】一般的なモストランジスタのウェルバイアス領域を説明するために図示した断面図である。

【図2】本発明によるモストランジスタのウェルバイアス領域を説明するために図示した断面図である。

【図3】本発明による自己整列されたウェルバイアス領域を有するモストランジスタの製造方法を説明するために図示した断面図である。

【図4】本発明による自己整列されたウェルバイアス領域を有するモストランジスタの製造方法を説明するた

めに図示した断面図である。

【図5】 本発明による自己整列されたウェルバイアス領域を有するモストランジスタの製造方法を説明するために図示した断面図である。

【図6】 本発明による自己整列されたウェルバイアス領域を有するモストランジスタの製造方法を説明するために図示した断面図である。

【図7】 本発明による自己整列されたウェルバイアス領域を有するモストランジスタの製造方法を説明するために図示した断面図である。

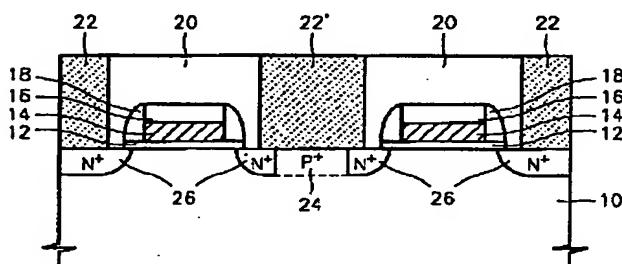
【図8】 本発明による自己整列されたウェルバイアス領域を有するモストランジスタの製造方法を説明するために図示した断面図である。

【符号の説明】

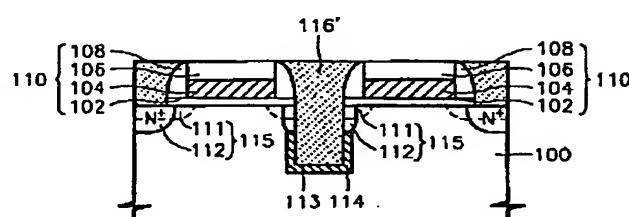
- 100 基板
- 102 ゲート酸化膜
- 104 ゲート電極
- 106 キャッピング層
- 108 ゲートスペーサ
- 110 ゲートパターン
- 111 LD領域
- 112 高濃度不純物の領域
- 113 トレンチ
- 114 ウェルバイアス領域
- 115 ドレイン領域
- 116' コンタクト部

10

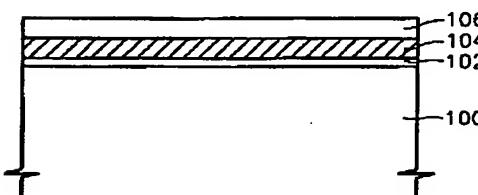
【図1】



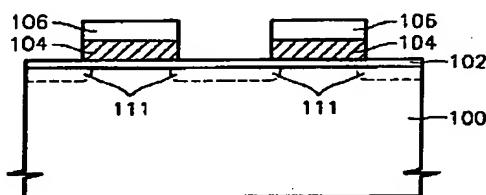
【図2】



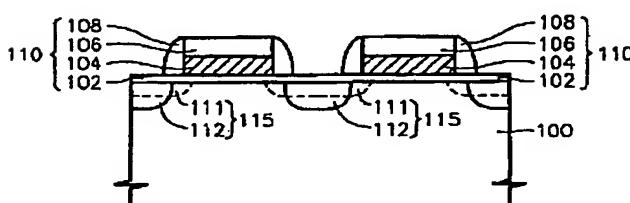
【図3】



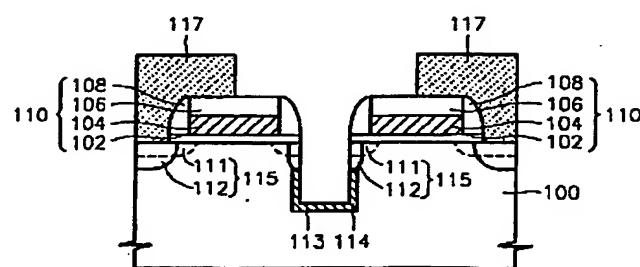
【図4】



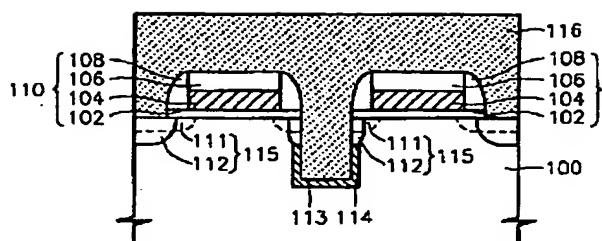
【図5】



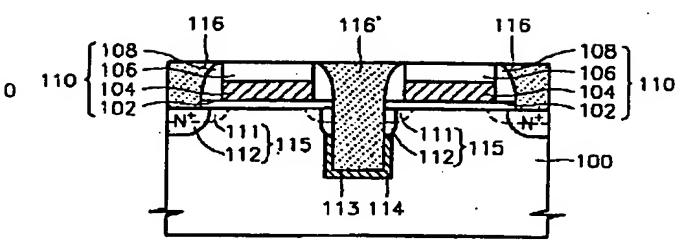
【図6】



【図7】



【図8】



フロントページの続き

(51)Int.Cl.⁷

29/78

識別記号

F I

29/78

301

X

301

S

マーク一 (参考)